



低功耗FPGA设计技术

戴梦麟
应用工程总监

初衷

对功耗敏感型应用的需求迅速增长

- 便携式电池供电系统
- 医疗设备
- 通讯设备

降低功耗势在必行，对设计师而言这是
艰巨的挑战

功耗模型

- 动态与静态
- 平均与峰值
- 实测与估算

功耗去哪里了？

静态和动态功耗

Sources of Static Power in CMOS Systems

$$P_{\text{static}} = V_{\text{dd}} \times I_{\text{Leakage}}$$

V_{DD} 是电源电压

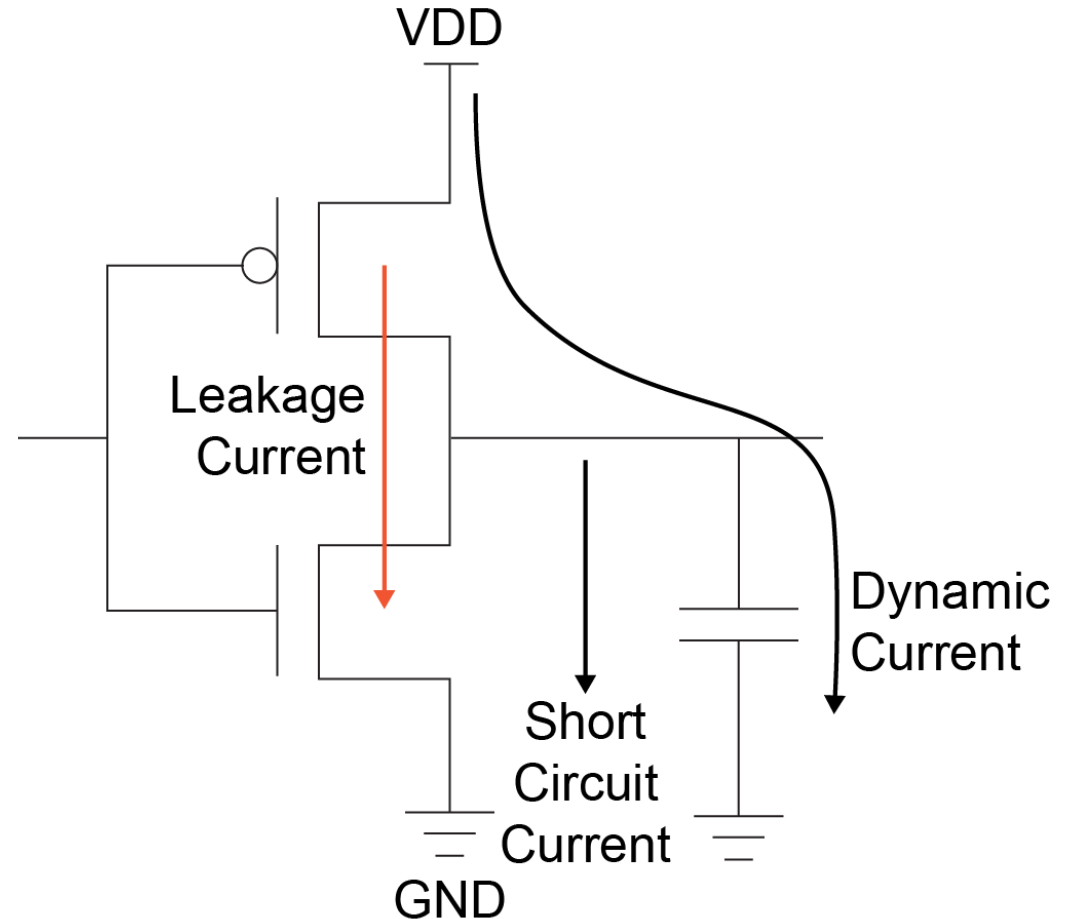
漏电流是开关阈值电压和晶体管尺寸的函数:

$$I_{\text{Leakage}} = f(V_{\text{th}}, W/L)$$

V_{th} 是阈值电压

W 是晶体管的宽度

L 是晶体管的长度



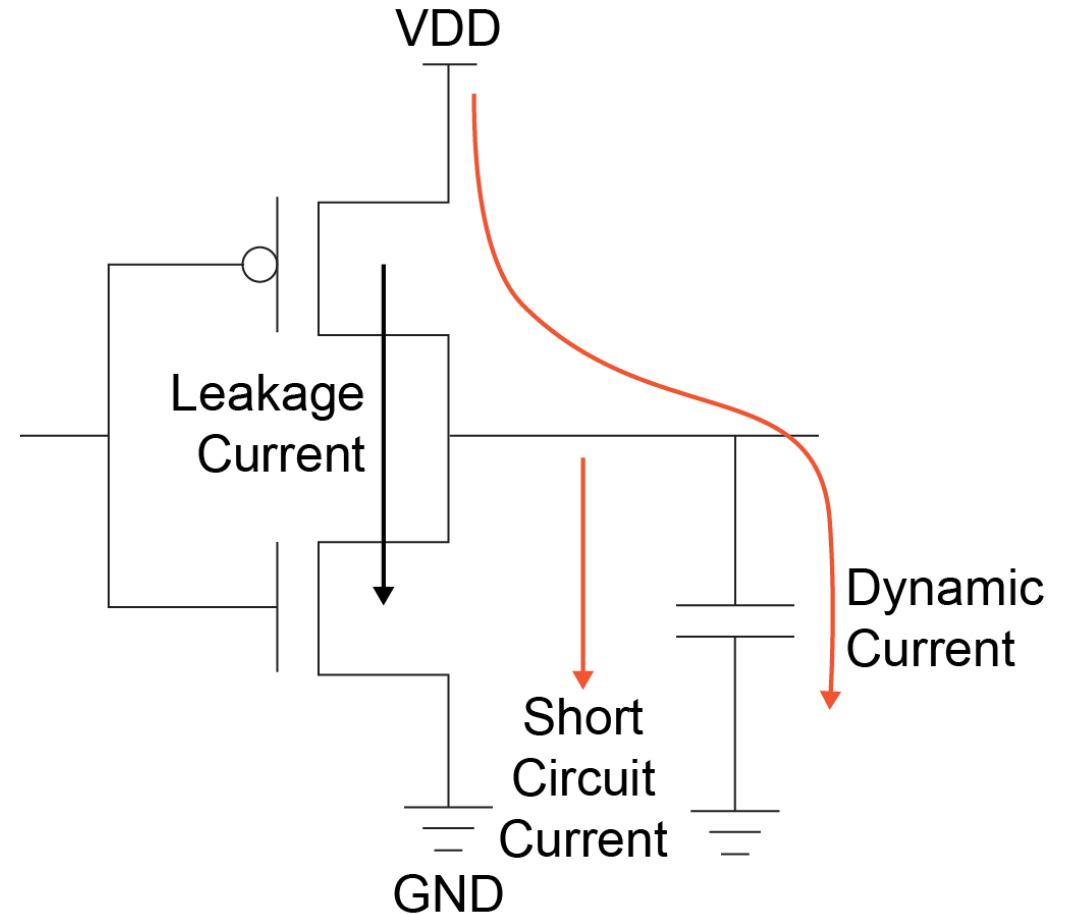
减少静态功耗

- 减少静态电流
 - 通过I/O引脚和内部逻辑的电流
- 器件级建议
 - 最有效、最轻松的方法：选择低功耗FPGA！
 - Efinix®Trion®系列具有固有的低静态泄漏电流
 - 采用低泄漏工艺设计，某些静态功耗指标业内最低

Sources of Dynamic Power in CMOS Systems

$$P_{\text{dynamic}} = f \times C_L \times V_{\text{DD}}^2$$

f 是时钟频率
C_L 是平均负载电容
V_{dd} 是电源电压



设计 技巧

降低动态功耗

- 时钟和信号门控
- 功耗友好的数据路径
- 流水线和重新定时
- 状态机编码
- 先进技术

- 降低平均逻辑开关（logic-switching）频率
- 减少每个时钟沿的逻辑开关量
- 减少开关活动的传播
- 减少高开关网络的扇出

时钟和门控

数据路径

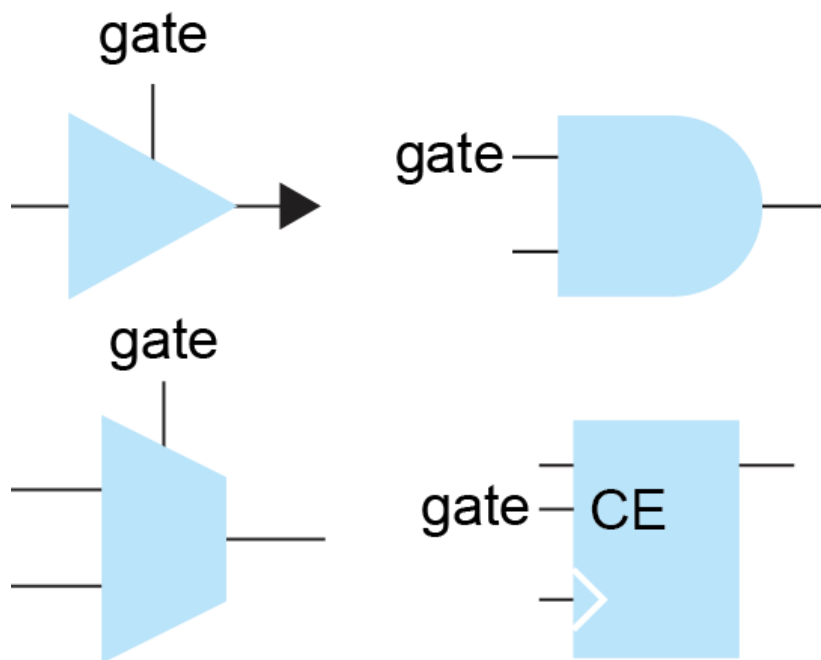
流水线和重新定时

状态机编码

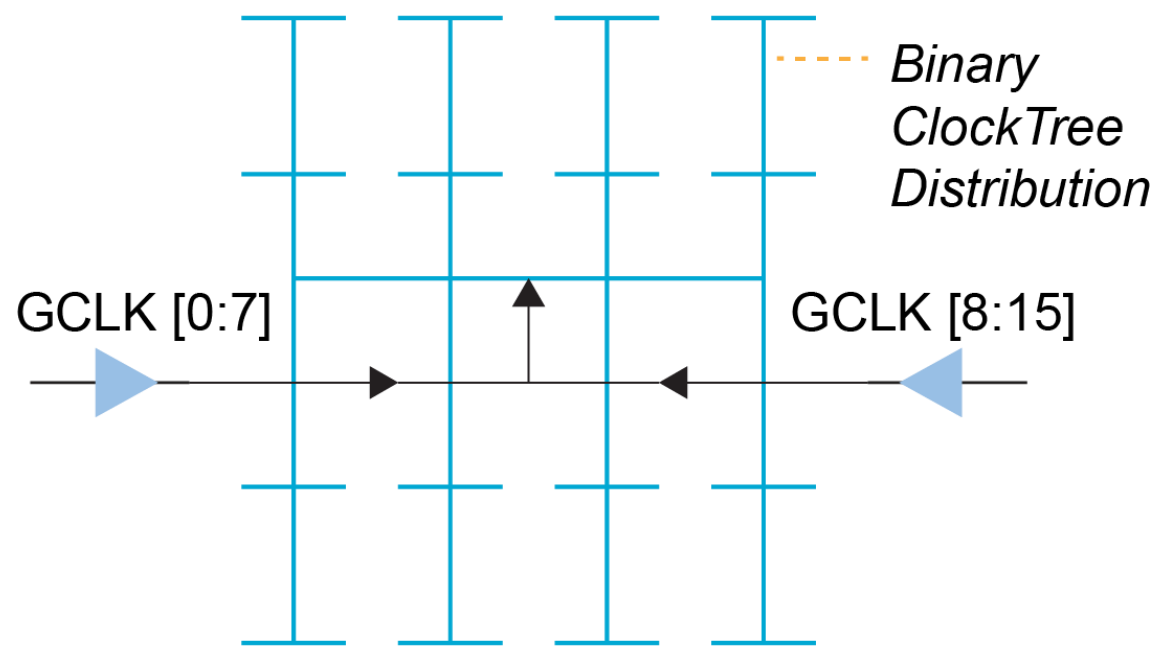
优化开关

信号和时钟门控

信号门控的通用逻辑实现

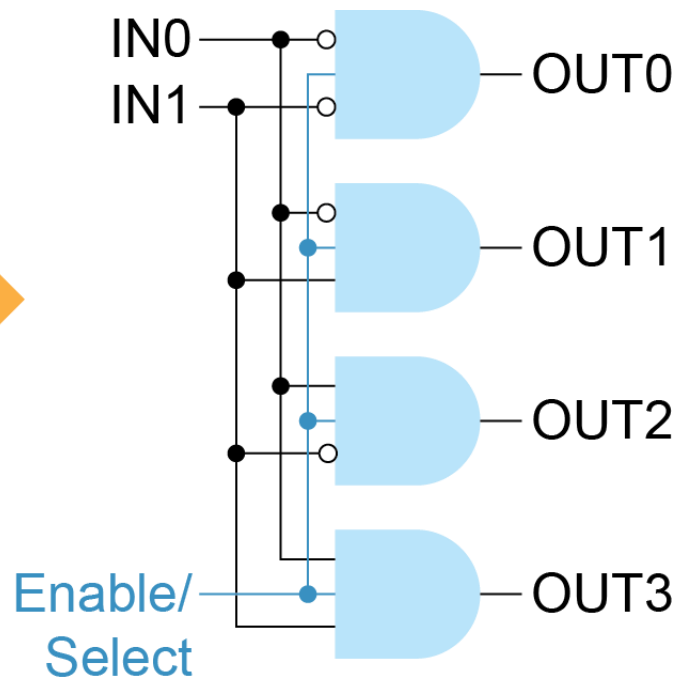
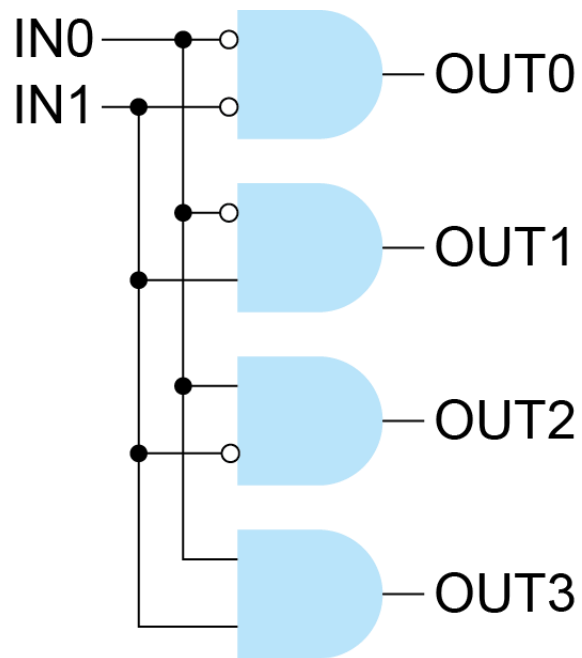


具有时钟使能功能的全局时钟网络



门控信号-地址译码器示例

- 一个译码器输入上的开关活动引起大量的翻转（**toggling**）输出
- 使能/选择信号防止开关行为的传播



数据路径元素的影响

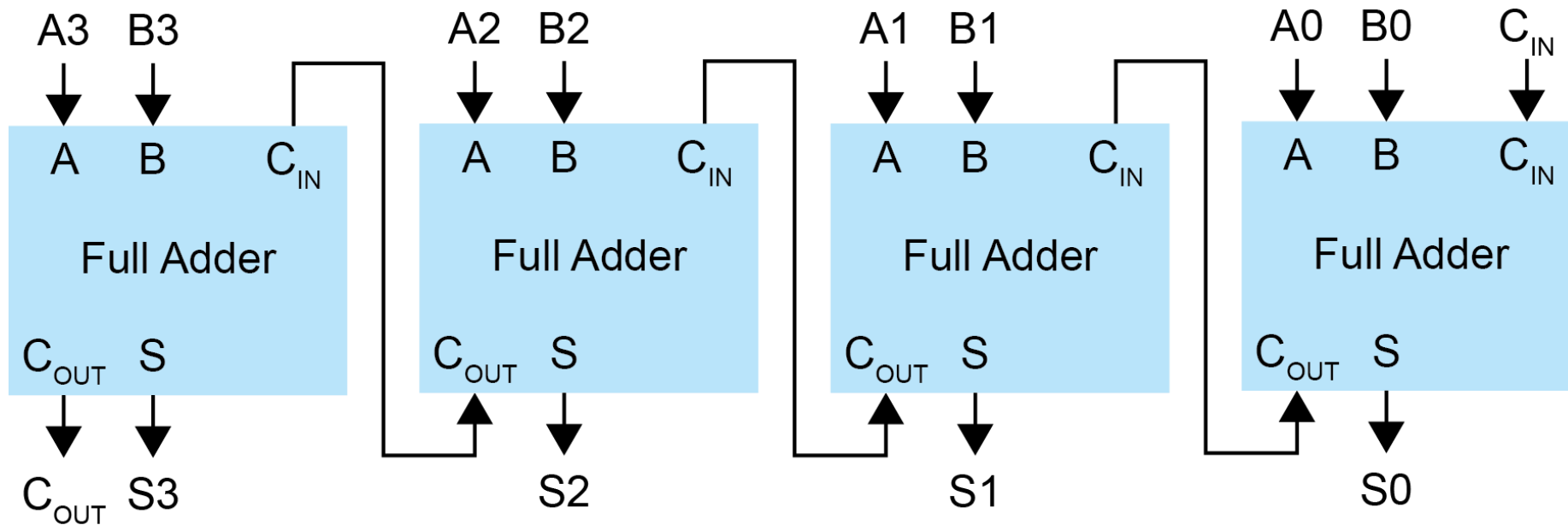
- 基本模块选择的重要性
 - 功耗/速度权衡
- 基本的算术和逻辑模块架构
 - 面积/速度
 - 扇出分布
 - 逻辑层级数
 - 高扇出+大量逻辑层量 = 更多的毛刺（ glitch ）传播

算术架构

- 加法器
- 乘法器
 - 架构和对功耗的影响
 - 流水线配置
 - 流水线对功耗的影响
 - 流水线与再定时

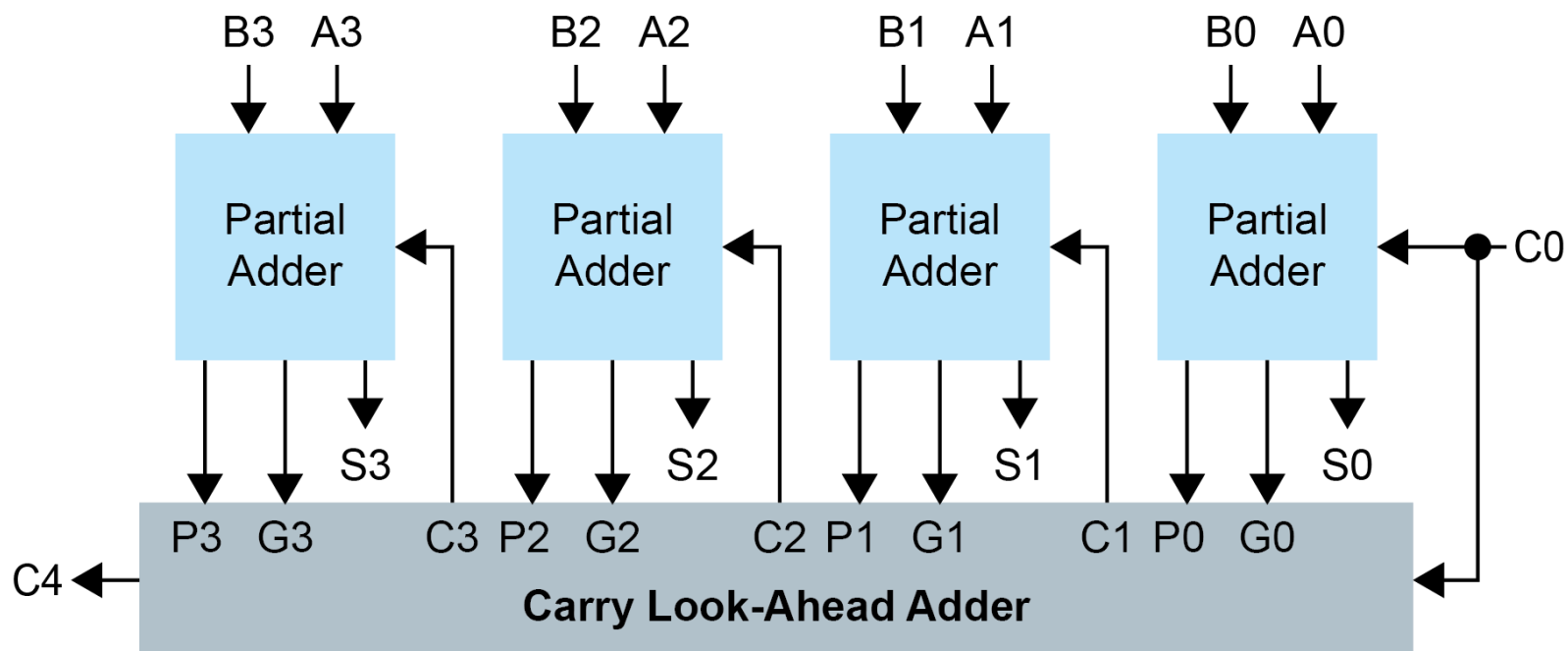
连波进位加法器 (RCA)

进位信号的开关活动在所有组合逻辑段间传播并耗能



超前进位加法器 (CLA)

- 进位信号开关传播的级段更少
- 使用更多逻辑
- 更快
- 功耗更低



专用漣波进位加法器

- Trion FPGA具有专用的漣波进位加法器
- 加法器电路的最简单形式
- 专用硬件意味着低动态功耗
- 任何软加法器实现都会实施更多翻转动作，从而增加功耗

```
// Simple 16-bit add
module add16(a, b, x);
    input [15:0] a, b;
    output [15:0] x;

    assign x = a + b;
endmodule // add16
```

16位加法器

Verilog HDL代码

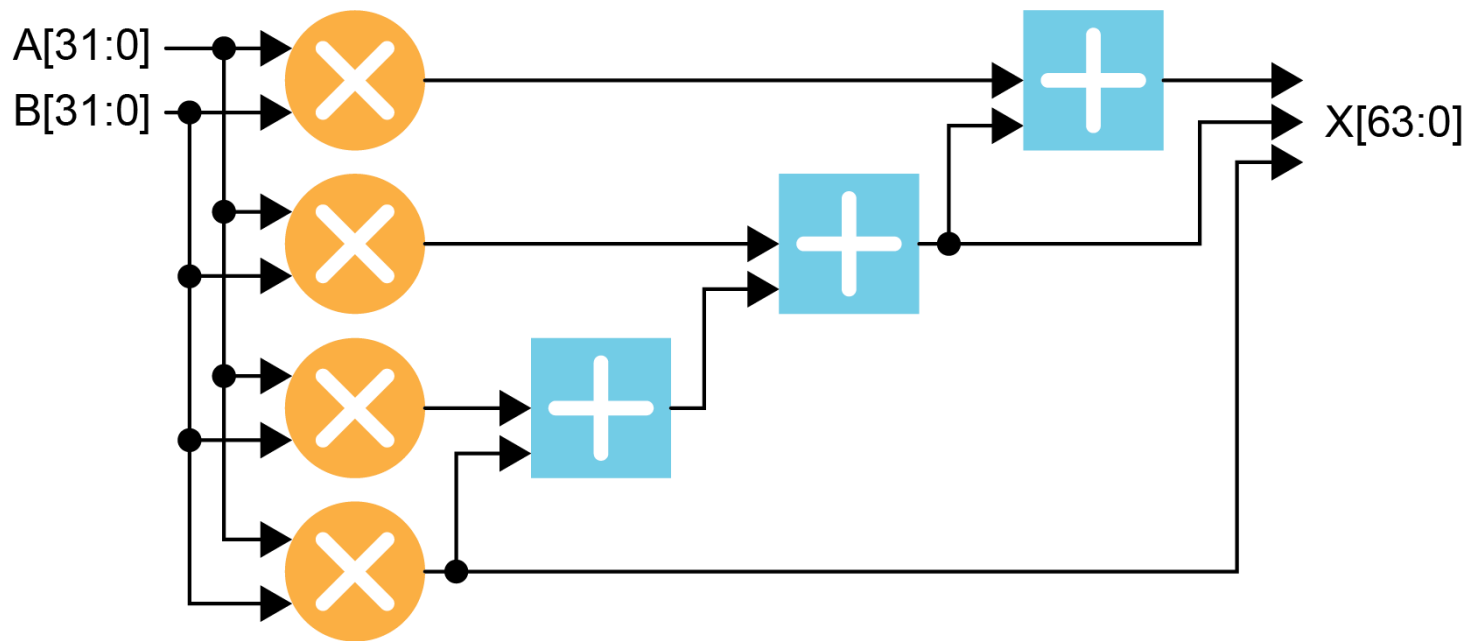
32位乘法器

```
// 32x32 multiplier with
// signed operands

module mult32(a, b, x);
  input signed [31:0] a, b;
  output signed [63:0] x;

  assign x = a * b;
endmodule // mult32
```

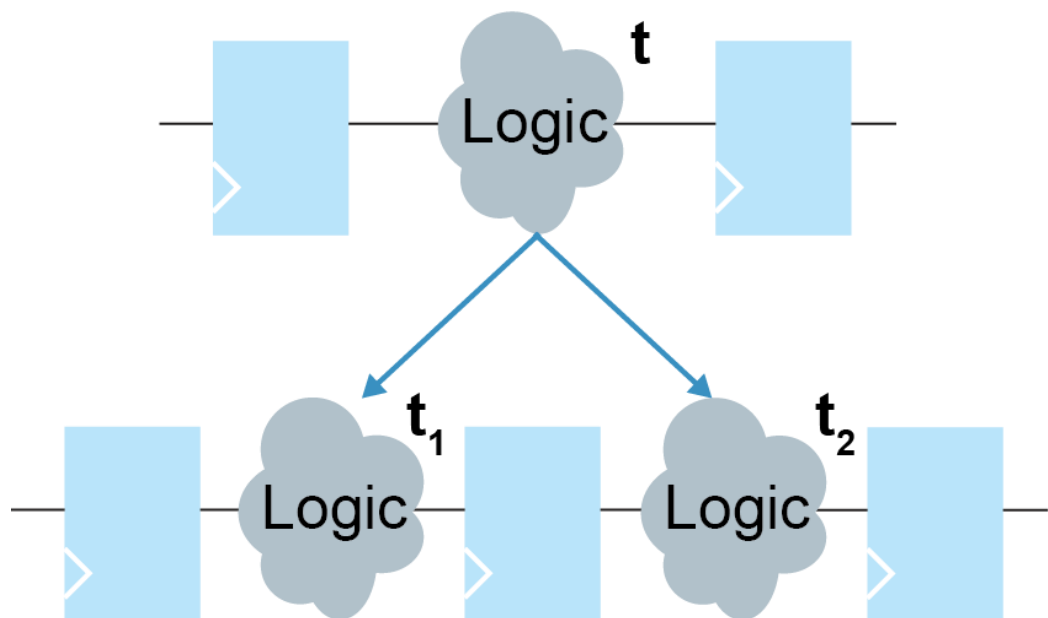
32位乘法器
Verilog HDL代码



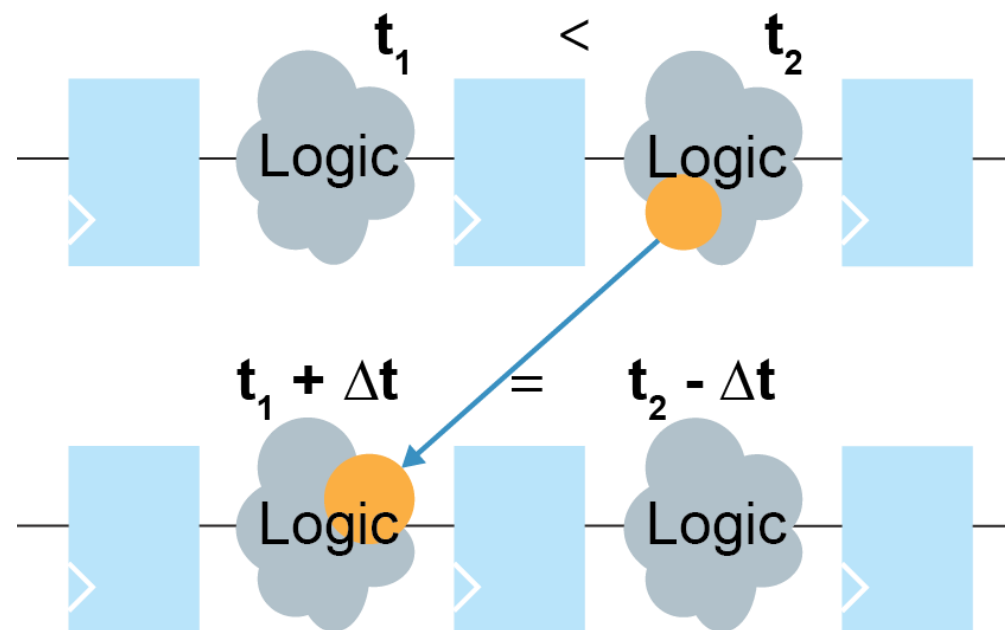
在Trion FPGA中
使用4个18x18乘法器模块

流水线 and 重新定时

流水线引入了新的寄存器

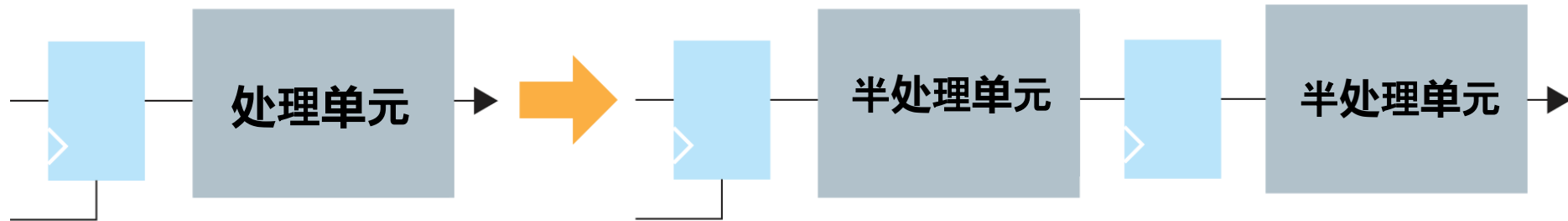


重新定时可以降低功耗，可能不会引入新的寄存器



减少毛刺

- 逻辑上较深的内部网络更受主输入的开关影响，毛刺的易感性亦更高
- 流水线
 - 通过插入流水线寄存器来缩短组合逻辑的深度
 - 对于数据路径元素（例如奇偶校验树和乘法器）非常有效



FSM（有限元状态机）和计数器编码影响功耗

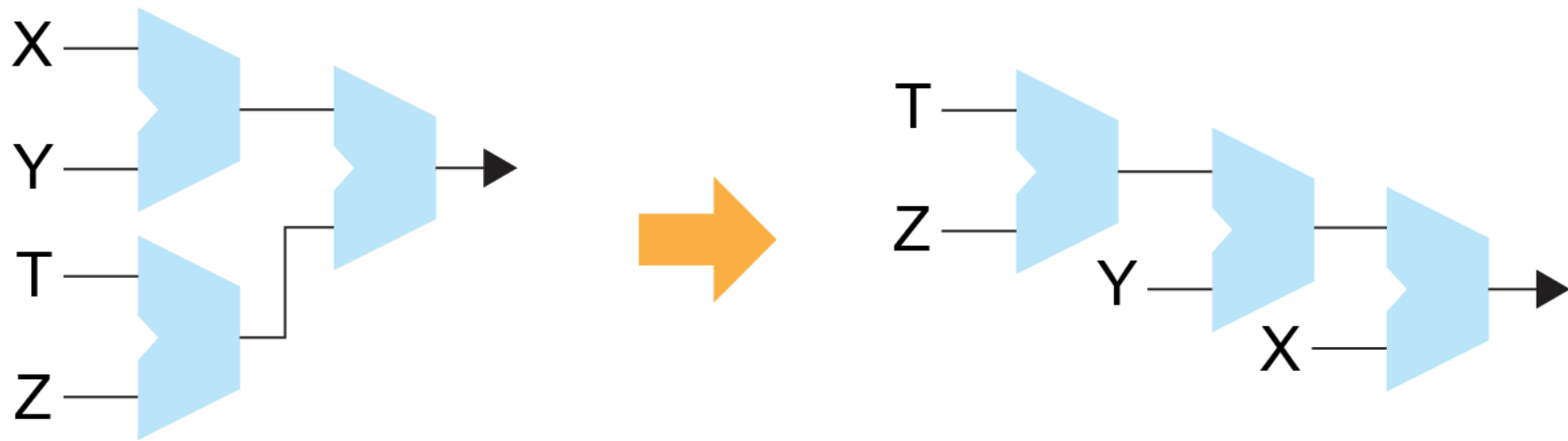
状态	独热码 (One Hot)	格雷码 (Gray)	二进制码 (Binary)	线性反馈移位寄存 存码器 (LFSR)
S0	00000001	000	000	111
S1	00000010	001	001	110
S2	00000100	011	010	100
S3	00001000	010	011	000
S4	00010000	110	100	001
S5	00100000	111	101	010
S6	01000000	101	110	101
S7	10000000	100	111	011
总跳变 (Transition) 数	16	8	11	11
每个时钟周期的最大跳变数	2	1	3	3
时钟负载	8	3	3	3

延迟均衡化
HDL编码方法
时分复用

先进的优化技巧

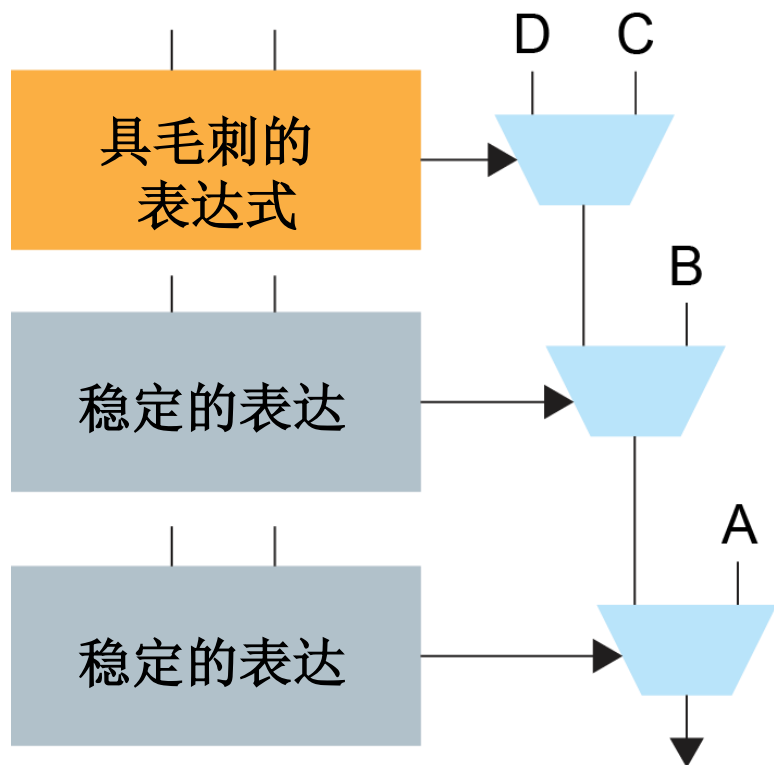
延迟均衡化

如果所有主要输入具有相同的到达时间和相同的开关概率，则均衡树可消除开关传播



HDL编码影响功耗

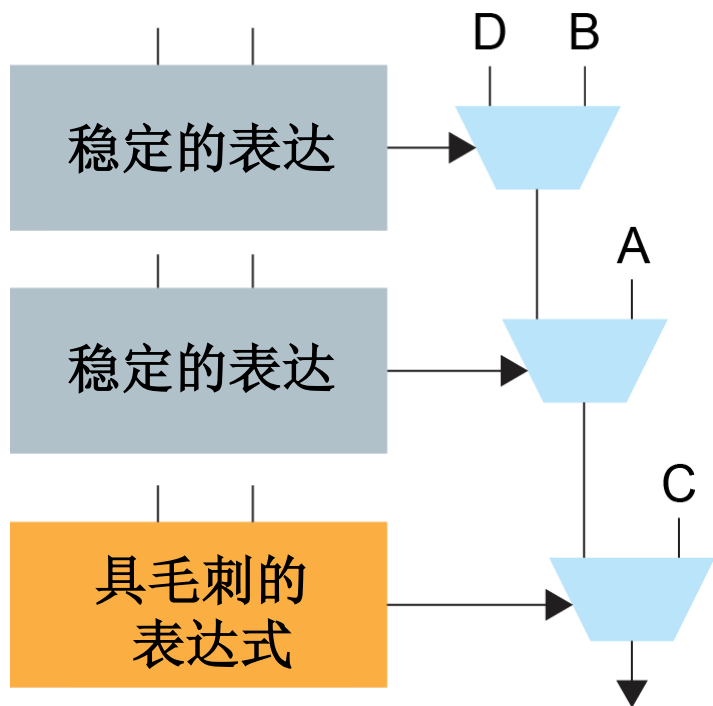
样例：if ... then else ...



```
if (Stable Expression 2) then
    Output_signal <= A;
elsif (Stable Expression 1)
then
    Output_signal <= B;
elsif (Glitchy Expression) then
    Output_signal <= C;
else
    Output_signal <= D;
end if;
```

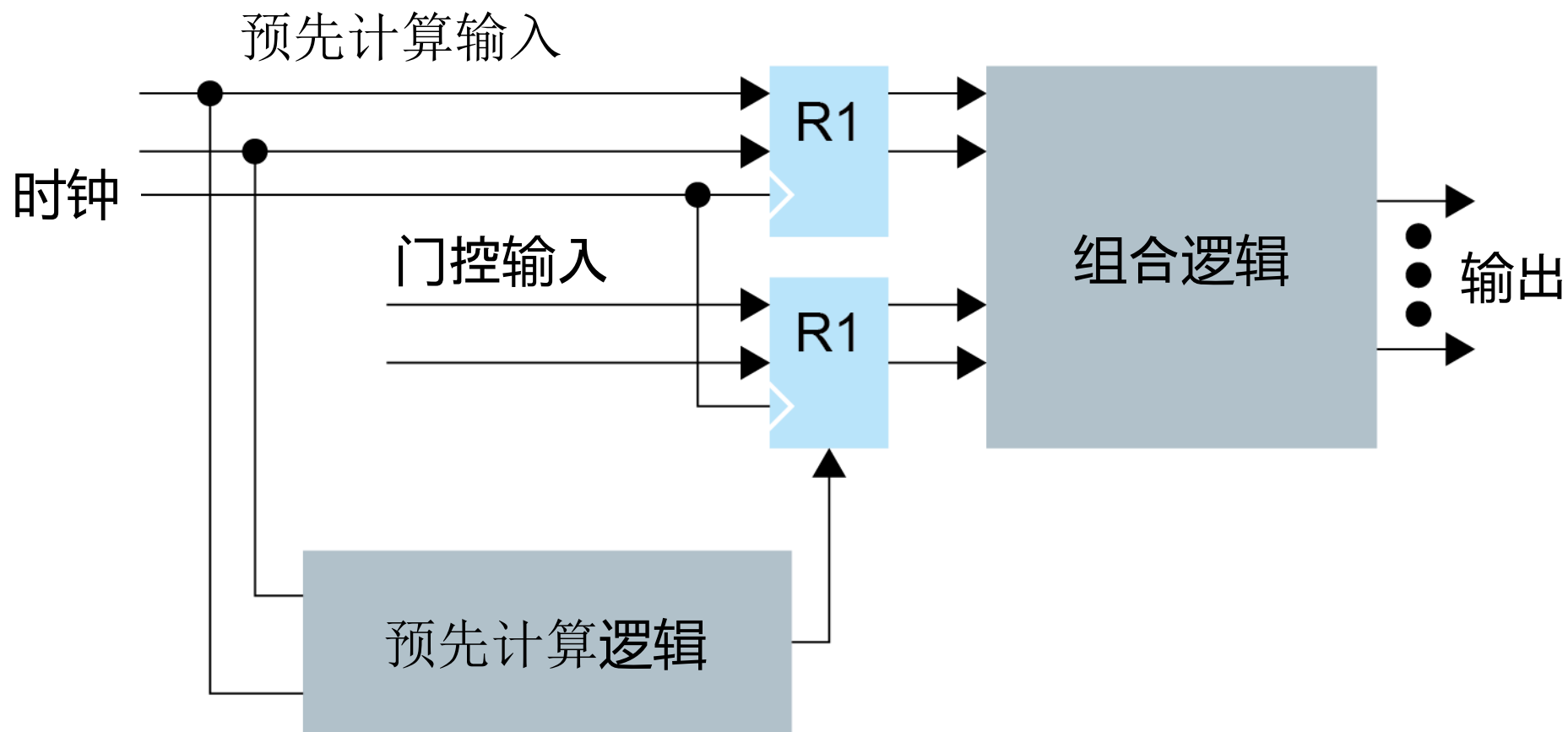
HDL编码影响功耗

重新组织HDL代码有助于防范或减少开关/毛刺行为的传播



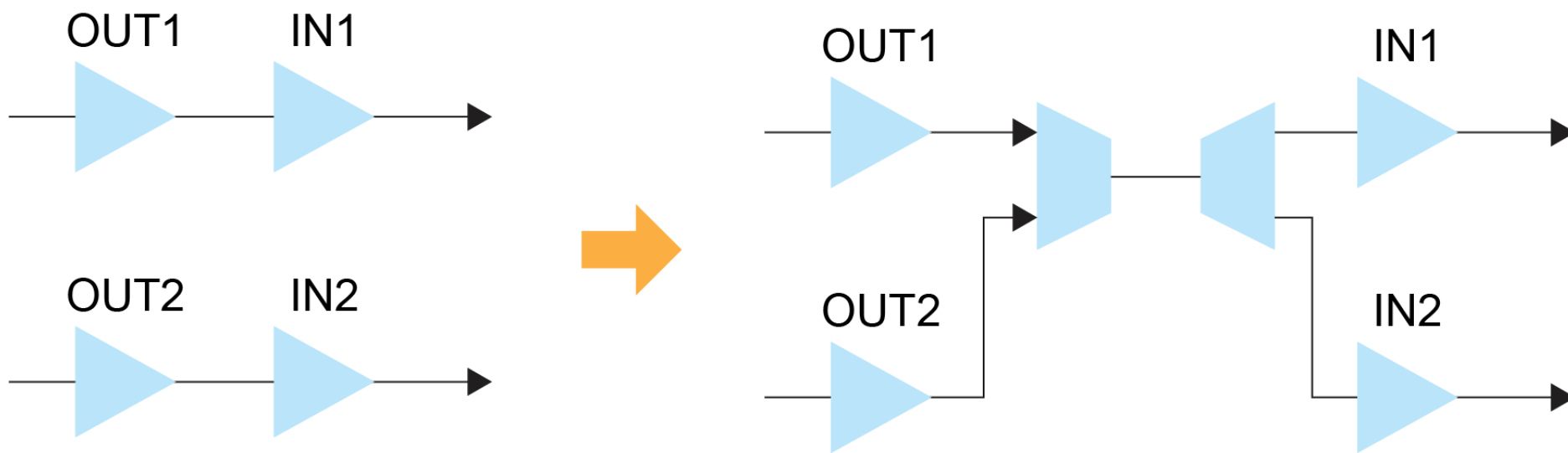
```
if (Glitchy Expression) then
    Output_signal <= C;
elsif (Stable Expression 2)
then
    Output_signal <= A;
elsif (Stable Expression 1)
then
    Output_signal <= B;
else
    Output_signal <= D;
end if;
```


基于预计算的降耗



时间复用

如果OUT1和OUT2正相关，则可以显著降耗



系统和板级设计

低功耗设计

低功耗电路板设计技巧

- 使用高精度稳压器
 - FPGA可在较低的标称电压下工作而仍能保持标称性能和指标
 - 影响静态和动态功耗
- 为跳变缓慢的CMOS输入信号开启施密特触发
 - 较慢的信号跳变会导致NMOS和PMOS部分导通，进而增加电流、加大功耗
- 使能未使用I/O引脚的默认内置上拉/下拉设置
- 确保未使用的I/O引脚没有接外部电阻将上拉，添加外部下拉电阻会增加功耗
- 使用低驱动强度输出

选择合适的 低功耗FPGA

要考虑的因素

- FPGA是否以低功耗工艺制造？
- 它具有内置的低功耗架构吗？
- FPGA是否具有低功耗硬化（hardened）模块？
- 电源电压是多少？

架构对功耗的影响

低功耗的Trion FPGA

低功耗架构的重要性

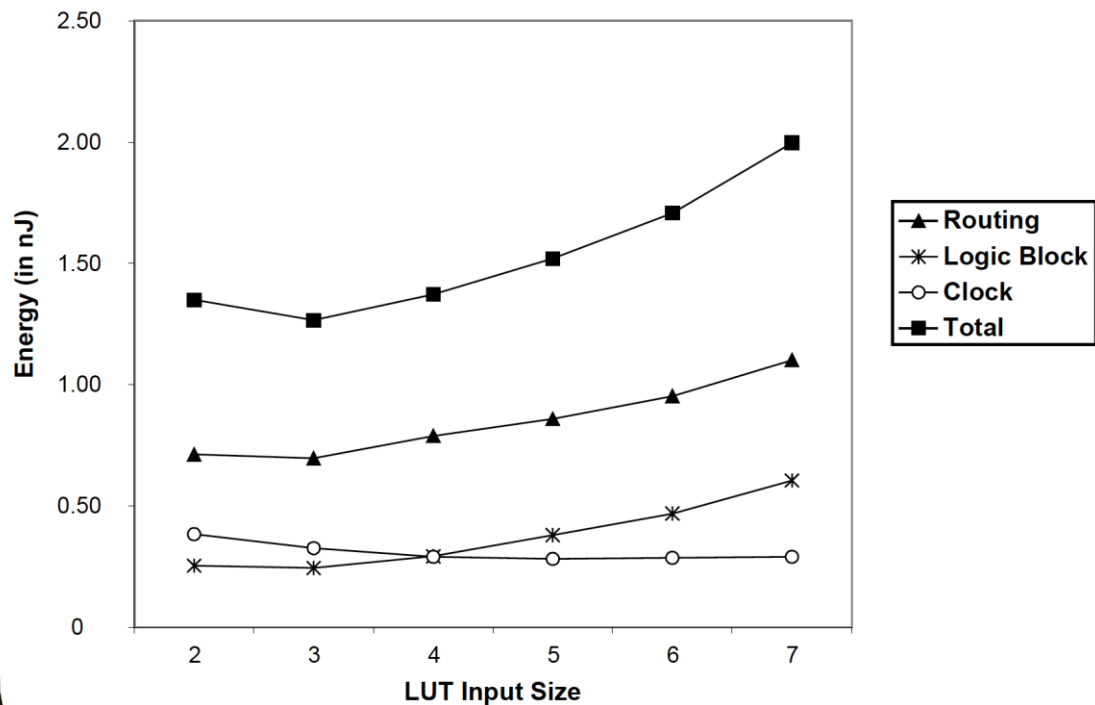


Figure 5.4 Energy versus look-up-table (LUT) size

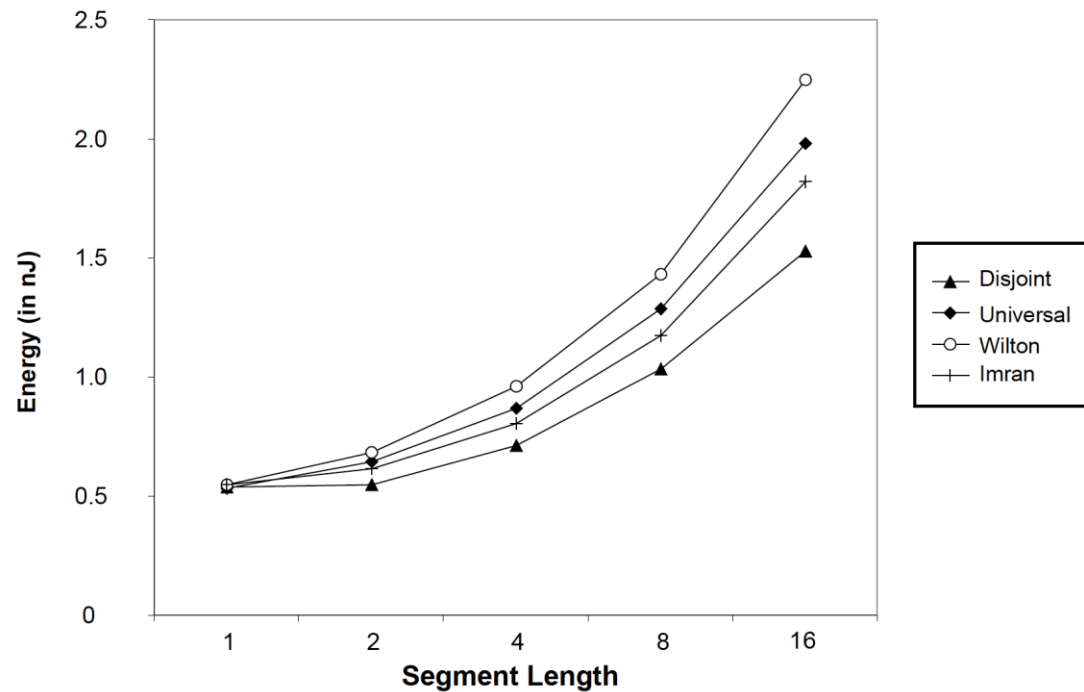


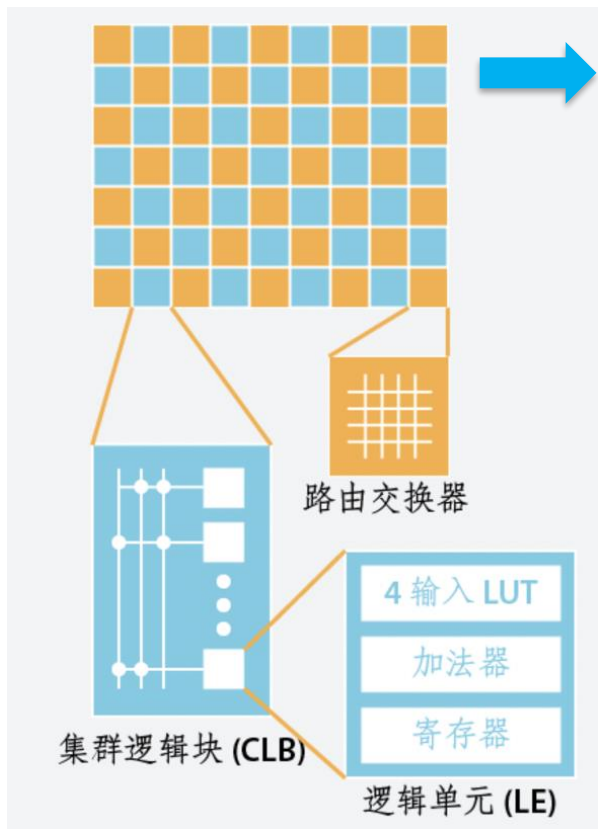
Figure 5.2 Energy vs. segment length



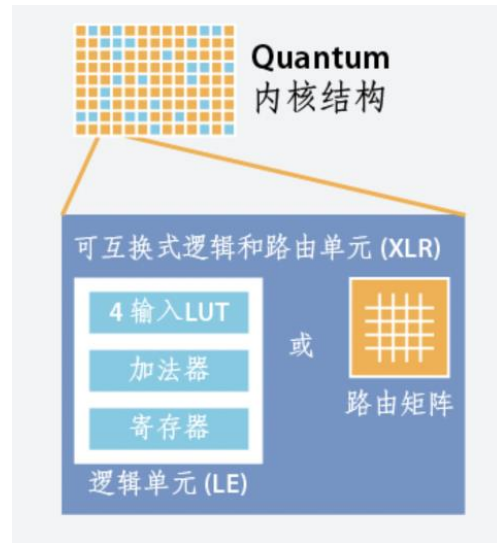
Kara Poon
Efinix 员工 #1

Quantum FPGA技术

传统FPGA



Quantum



相对于传统FPGA的优势

- 好4倍的功耗-性能-面积指标 (PPA)
- Quantum技术的7层金属对比传统FPGA中的12+层金属
- 可扩展至100万以上逻辑元素 (LE) 的单一架构
- 与所有硅工艺兼容

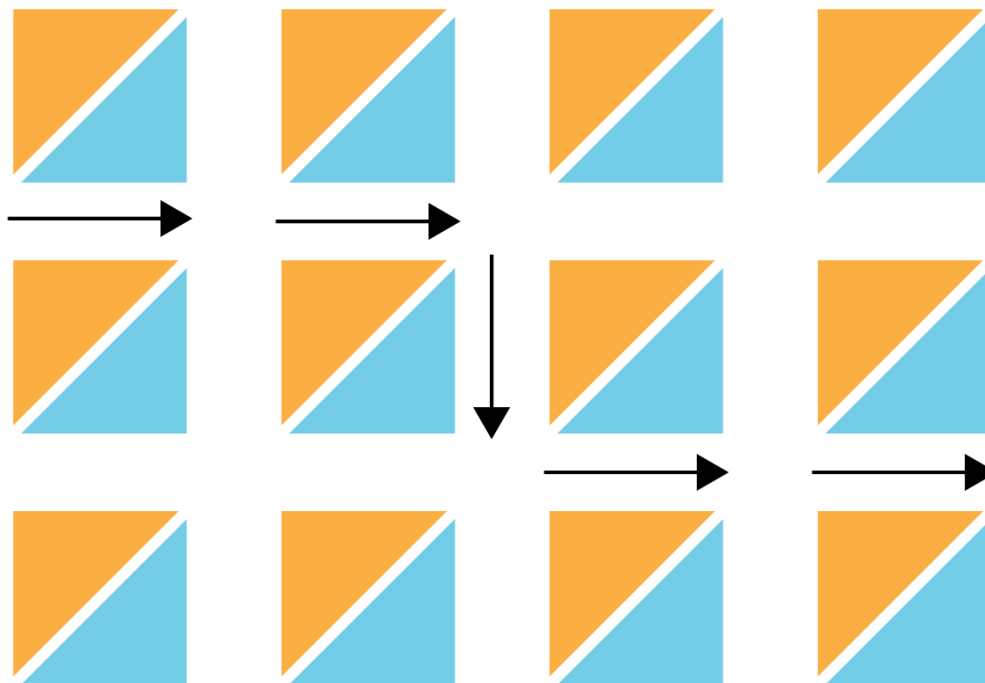
架构亮点

- 灵活、细颗粒
- 软件可配置逻辑/路由
- 高性能自适应互连
- 混合的布局 and 路由算法
- 标准硅配方

XLR（可互换逻辑和路由单元）等于低功耗

- Trion FPGA是XLR 单元的“海洋”
- 4输入LUT逻辑
- 短路由路径
- 低功耗设计

eXchangeable
Logic and Routing
Cell (XLR)



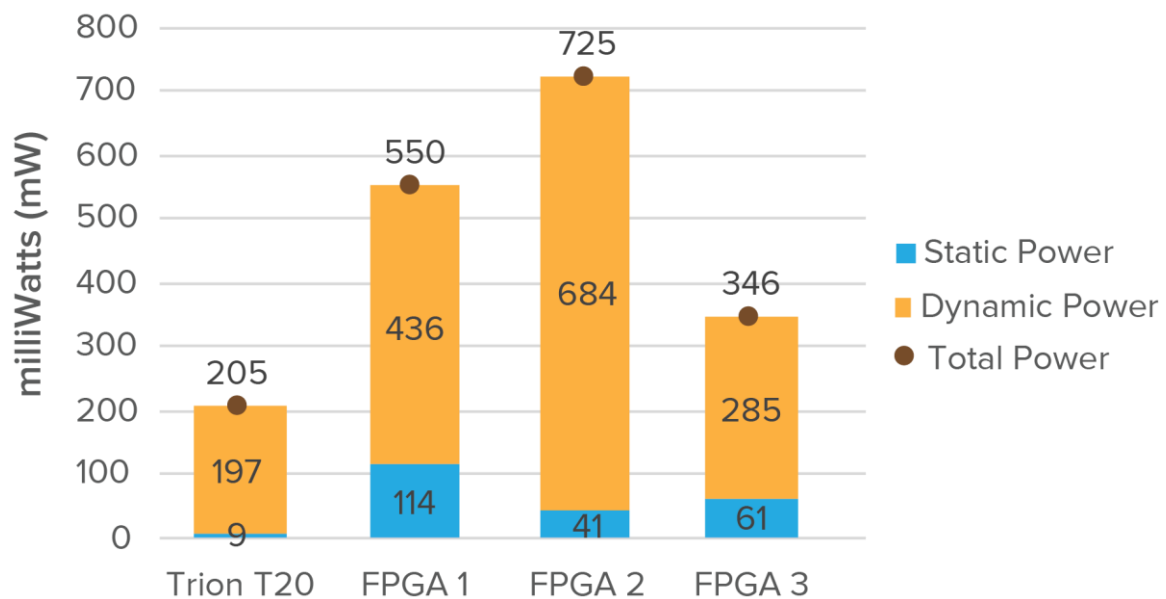
Trion低功耗设计的优势

- 针对低功耗进行了优化=降耗
- 在低功耗生产线上制造，以实现低静态功耗
- Quantum结构可减少扇出，并缩短路由距离
 - 更少的金属层意味着更低功耗
 - 小晶粒尺寸可实现整体功耗优化
 - 利用率更高，在小型（低功耗）设备中的使用时间更长
 - 实现低动态功耗
- 可以在基底层（base）关闭时钟网络
- MIPI CSI-2和DDR DRAM的硬化块针对功耗进行了优化

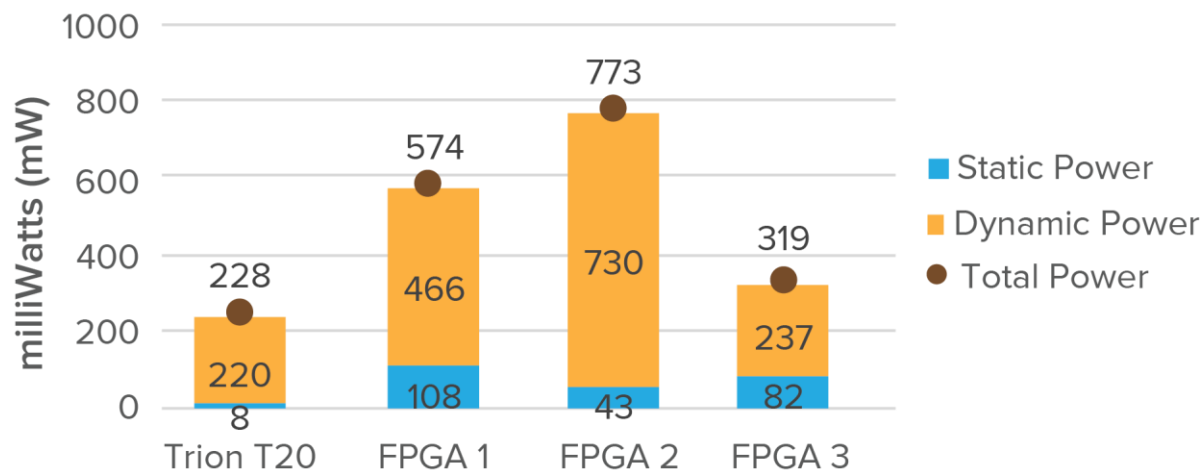
基于40LL硅工艺的4K至120K逻辑元件（LE）的出货，会改变游戏规则

比较T20的功耗

Power Usage Comparison (LED Display RX Card)



Power Usage Comparison (Industry Camera)



摘要

- 使用低功耗器件，例如Efinix Trion FPGA
- 基于功耗选择FPGA，权衡性能或尺寸
- 系统/板级优化
 - 高精度稳压器
 - 带施密特触发器的输入
 - 选择更低的驱动强度
- 低泄漏电流器件可降低静态功耗
- 通过降低开关频率、减小负载电容和电源电压来降低动态功耗
- 通过低功耗RTL编码风格以实现更靓丽的功耗指标
- 时钟门控



谢谢!

www.efinixinc.com/cn